

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 1 7 日  
Date of Application:

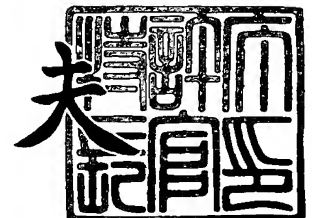
出 願 番 号                      特 願 2 0 0 3 - 1 1 2 8 1 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 1 2 8 1 0 ]

出      願      人                      山形日本電気株式会社  
Applicant(s):

2 0 0 4 年    2 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 1 2 1 7 2

【書類名】 特許願

【整理番号】 00410199

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/45

【発明者】

【住所又は居所】 山形県鶴岡市宝田一丁目 1 1 番 7 3 号  
山形日本電気株式会社内

【氏名】 三浦 信

【特許出願人】

【識別番号】 390001915

【氏名又は名称】 山形日本電気株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215081

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 駆動回路及び表示装置

【特許請求の範囲】

【請求項 1】 入力データを保持するデータ保持手段と、前記入力データと前記保持データとを比較するデータ比較手段と、前記入力データの値が前記保持データの値より大きいときに第 1 のパルス信号を出力する第 1 のパルス発生手段と、前記入力データの値が前記保持データの値より小さいときに第 2 のパルス信号を出力する第 2 のパルス発生手段と、前記第 1 のパルス信号と前記第 2 のパルス信号とにより駆動能力が増大する演算増幅器と、を備えることを特徴とする駆動回路。

【請求項 2】 入力データを保持するデータ保持手段と、前記入力データと前記保持データとを比較するデータ比較手段と、前記入力データの値が前記保持データの値より大きいときに第 1 のパルス信号を出力する第 1 のパルス発生手段と、前記入力データの値が前記保持データの値より小さいときに第 2 のパルス信号を出力する第 2 のパルス発生手段と、前記第 1 のパルス信号によりオンされる第 1 のスイッチ手段と、前記第 2 のパルス信号によりオンされる第 2 のスイッチ手段と、前記第 1 のスイッチ手段と前記第 2 のスイッチ手段とが接続された演算増幅器と、を備えることを特徴とする駆動回路。

【請求項 3】 前記演算増幅器は、第 1 の入力端子と、第 2 の入力端子と、非反転入力端が前記第 1 の入力端子に接続され反転入力端が前記第 2 の入力端子に接続された第 1 の差動トランジスタ対と、前記第 1 の差動トランジスタ対と逆導電型であって非反転入力端が前記第 1 の入力端子に接続され反転入力端が前記第 2 の入力端子に接続された第 2 の差動トランジスタ対と、前記第 1 の差動トランジスタ対の反転出力端と前記第 2 の差動トランジスタ対の非反転出力端と第 1 の電源端子とに接続された第 1 のカレントミラー回路と、前記第 1 の差動トランジスタ対の非反転出力端と前記第 2 の差動トランジスタ対の反転出力端と前記第 1 の電源端子とに接続された第 2 のカレントミラー回路と、前記第 2 の差動トランジスタ対の前記非反転出力端と前記第 2 の差動トランジスタ対の前記反転出力端と第 2 の電源端子とに接続された負荷回路と、を備えることを特徴とする請求

項 2 記載の駆動回路。

【請求項 4】 前記第 1 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記非反転出力端と前記第 1 の電源端子との間に接続され、前記第 2 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記反転出力端と前記第 1 の電源端子との間に接続されたことを特徴とする請求項 3 記載の駆動回路。

【請求項 5】 前記第 1 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記反転出力端と前記第 2 の電源端子との間に接続され、前記第 2 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記反転出力端と前記第 1 の電源端子との間に接続されたことを特徴とする請求項 3 記載の駆動回路。

【請求項 6】 前記第 1 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記反転出力端と前記第 2 の電源端子との間に接続され、前記第 2 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記非反転出力端と前記第 2 の電源端子との間に接続されたことを特徴とする請求項 3 記載の駆動回路。

【請求項 7】 前記第 1 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記非反転出力端と前記第 1 の電源端子との間に接続され、前記第 2 のスイッチ手段は、前記第 2 の差動トランジスタ対の前記非反転出力端と前記第 2 の電源端子との間に接続されたことを特徴とする請求項 3 記載の駆動回路。

【請求項 8】 前記第 1 のスイッチ手段と前記第 2 のスイッチ手段とは、電界効果型トランジスタであることを特徴とする請求項 2 記載の駆動回路。

【請求項 9】 前記第 1 のスイッチ手段と前記第 2 のスイッチ手段とは、バイポーラ型トランジスタであることを特徴とする請求項 2 記載の駆動回路。

【請求項 10】 画素がマトリクス状に配置された表示パネルを駆動する駆動回路及び走査回路と、画像データが入力されて階調データを出力するとともに前記走査回路に走査制御信号を与える信号処理回路と、前記階調データを保持して出力するデータ保持手段と、前記データ保持手段の出力データを階調電圧に変換して前記駆動回路に与えるデジタルアナログ変換器と、を備える表示装置であって、前記駆動回路として請求項 1 又は請求項 2 記載の駆動回路を備えることを特徴とする表示装置。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、駆動回路及び表示装置に関し、特にマトリクス表示パネルの駆動回路及び表示装置に関する。

## 【0002】

## 【従来の技術】

従来、液晶セルなどの画素がマトリクス状に配置された表示パネルを駆動する駆動回路には、ボルテージフォロワ接続されたフルレンジ入力特性を有する演算増幅器が備えられる。図8は、従来例の演算増幅器の要部構成図であり、入力段回路の構成を示している。

## 【0003】

図8に示すように、従来例の演算増幅器の入力段回路は、非反転入力端子1と、反転入力端子2と、低電位側電源端子4と、高電位側電源端子5と、差動トランジスタ対8と、カレントミラー回路9と、カレントミラー回路10と、差動トランジスタ対11と、カレントミラー回路12と、電流源I1と、電流源I2と、Nチャネル型MOSトランジスタN10と、Pチャネル型MOSトランジスタP13と、を備える。

## 【0004】

差動トランジスタ対8は、互いのソース端が接続されたNチャネル型MOSトランジスタN1とNチャネル型MOSトランジスタN2とを有し、Nチャネル型MOSトランジスタN1のゲート端が差動トランジスタ対8の非反転入力端となり、Nチャネル型MOSトランジスタN2のゲート端が差動トランジスタ対8の反転入力端となり、Nチャネル型MOSトランジスタN1のドレイン端が差動トランジスタ対8の反転出力端となり、Nチャネル型MOSトランジスタN2のドレイン端が差動トランジスタ対8の非反転出力端となる。

## 【0005】

差動トランジスタ対11は、差動トランジスタ対8と逆導電型であって、互いのソース端が接続されたPチャネル型MOSトランジスタP5とPチャネル型MOSトランジスタP6とを有し、Pチャネル型MOSトランジスタP6のゲート

端が差動トランジスタ対 11 の非反転入力端となり、Pチャネル型MOSトランジスタP5のゲート端が差動トランジスタ対 11 の反転入力端となり、Pチャネル型MOSトランジスタP6のドレイン端が差動トランジスタ対 11 の反転出力端となり、Pチャネル型MOSトランジスタP5のドレイン端が差動トランジスタ対 11 の非反転出力端となる。

#### 【0006】

カレントミラー回路9は、ゲート端とドレイン端とが接続されたPチャネル型MOSトランジスタP1と、Pチャネル型MOSトランジスタP1のゲート端にゲート端が接続されPチャネル型MOSトランジスタP1のソース端にソース端が接続されたPチャネル型MOSトランジスタP2と、を有し、Pチャネル型MOSトランジスタP1のドレイン端がカレントミラー回路9の入力端となり、Pチャネル型MOSトランジスタP2のドレイン端がカレントミラー回路9の出力端となる。

#### 【0007】

カレントミラー回路10は、ゲート端とドレイン端とが接続されたPチャネル型MOSトランジスタP3と、Pチャネル型MOSトランジスタP3のゲート端にゲート端が接続されPチャネル型MOSトランジスタP3のソース端にソース端が接続されたPチャネル型MOSトランジスタP4と、を有し、Pチャネル型MOSトランジスタP3のドレイン端がカレントミラー回路10の入力端となり、Pチャネル型MOSトランジスタP4のドレイン端がカレントミラー回路10の出力端となる。

#### 【0008】

負荷回路としてのカレントミラー回路12は、ゲート端とドレイン端とが接続されたNチャネル型MOSトランジスタN3と、Nチャネル型MOSトランジスタN3のゲート端にゲート端が接続されNチャネル型MOSトランジスタN3のソース端にソース端が接続されたNチャネル型MOSトランジスタN4と、を有し、Nチャネル型MOSトランジスタN3のドレイン端がカレントミラー回路12の入力端となり、Nチャネル型MOSトランジスタN4のドレイン端がカレントミラー回路12の出力端となる。

## 【0009】

差動トランジスタ対 8 の非反転入力端は、非反転入力端子 1 に接続され、差動トランジスタ対 8 の反転入力端は、反転入力端子 2 に接続される。差動トランジスタ対 11 の非反転入力端は、非反転入力端子 1 に接続され、差動トランジスタ対 11 の反転入力端は、反転入力端子 2 に接続される。カレントミラー回路 9 の P チャネル型 MOS トランジスタ P 1 のソース端は、高電位側電源端子 5 に接続され、カレントミラー回路 9 の入力端は、差動トランジスタ対 8 の反転出力端に接続され、カレントミラー回路 9 の出力端は、差動トランジスタ対 11 の非反転出力端に接続される。カレントミラー回路 10 の P チャネル型 MOS トランジスタ P 3 のソース端は、高電位側電源端子 5 に接続され、カレントミラー回路 10 の入力端は、差動トランジスタ対 8 の非反転出力端に接続され、カレントミラー回路 10 の出力端は、差動トランジスタ対 11 の反転出力端に接続される。カレントミラー回路 12 の N チャネル型 MOS トランジスタ N 3 のソース端は、低電位側電源端子 4 に接続され、カレントミラー回路 12 の入力端は、差動トランジスタ対 11 の非反転出力端に接続され、カレントミラー回路 12 の出力端は、差動トランジスタ対 11 の反転出力端に接続される。電流源 I 1 の一端は、N チャネル型 MOS トランジスタ N 1 のソース端に接続され、電流源 I 1 の他端は、低電位側電源端子 4 に接続される。電流源 I 2 の一端は、高電位側電源端子 5 に接続され、電流源 I 2 の他端は、P チャネル型 MOS トランジスタ P 5 のソース端に接続される。N チャネル型 MOS トランジスタ N 10 のドレイン端は、N チャネル型 MOS トランジスタ N 1 のソース端に接続され、N チャネル型 MOS トランジスタ N 10 のソース端は、低電位側電源端子 4 に接続される。P チャネル型 MOS トランジスタ P 13 のドレイン端は、P チャネル型 MOS トランジスタ P 5 のソース端に接続され、P チャネル型 MOS トランジスタ P 13 のソース端は、高電位側電源端子 5 に接続される。そして、差動トランジスタ対 11 の反転出力端の電圧が図示されていない出力段回路に入力され、出力段回路が出力する駆動電圧が反転入力端子 2 に帰還されるようになっている。

## 【0010】

また、非反転入力端子 1 に階調電圧が入力されると、差動トランジスタ対 8 と



差動トランジスタ対 11 とにより階調電圧と駆動電圧とが比較されて階調電圧と駆動電圧とが等しくなる平衡状態に収束するが、差動トランジスタ対 8 と差動トランジスタ対 11 とに流れるバイアス電流が大きいほど演算増幅器の駆動能力が増大して高速駆動が可能になるため、図示されていない出力段回路から制御電圧を取り出して N チャンネル型 MOS トランジスタ N10 のゲート端と P チャンネル型 MOS トランジスタ P13 のゲート端とに入力し、入力される階調電圧の変化時に差動トランジスタ対 8 と差動トランジスタ対 11 とに大電流を流すようにしている（例えば特許文献 1 参照。）。

#### 【0011】

##### 【特許文献 1】

特開平 11-88076 号公報（図 1）

#### 【0012】

##### 【発明が解決しようとする課題】

しかし、図 8 に示す入力段回路を備える従来例の演算増幅器は、駆動能力を増大させるために差動トランジスタ対 8 と差動トランジスタ対 11 とのバイアス電流を増加させる構成であるため、差動トランジスタ対 8 と差動トランジスタ対 11 とのバイアス電流値が  $\Delta I$  だけ増加すると、カレントミラー回路 9 とカレントミラー回路 10 とにより入力段回路全体のバイアス電流としては  $2\Delta I$  の増加となり、消費電力が増大してしまうという問題が発生する。

#### 【0013】

本発明は、かかる問題点に鑑みてなされたものであって、駆動能力が大きく、かつ消費電力が小さい駆動回路、及び、その駆動回路を備える表示装置を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

本発明の駆動回路は、入力データを保持するデータ保持手段と、前記入力データと前記保持データとを比較するデータ比較手段と、前記入力データの値が前記保持データの値より大きいときに第 1 のパルス信号を出力する第 1 のパルス発生手段と、前記入力データの値が前記保持データの値より小さいときに第 2 のパル

ス信号を出力する第2のパルス発生手段と、前記第1のパルス信号と前記第2のパルス信号とにより駆動能力が増大する演算増幅器と、を備えることを特徴とする。

#### 【0015】

また、入力データを保持するデータ保持手段と、前記入力データと前記保持データとを比較するデータ比較手段と、前記入力データの値が前記保持データの値より大きいときに第1のパルス信号を出力する第1のパルス発生手段と、前記入力データの値が前記保持データの値より小さいときに第2のパルス信号を出力する第2のパルス発生手段と、前記第1のパルス信号によりオンされる第1のスイッチ手段と、前記第2のパルス信号によりオンされる第2のスイッチ手段と、前記第1のスイッチ手段と前記第2のスイッチ手段とが接続された演算増幅器と、を備えることを特徴とする。

#### 【0016】

また、前記演算増幅器は、第1の入力端子と、第2の入力端子と、非反転入力端が前記第1の入力端子に接続され反転入力端が前記第2の入力端子に接続された第1の差動トランジスタ対と、前記第1の差動トランジスタ対と逆導電型であって非反転入力端が前記第1の入力端子に接続され反転入力端が前記第2の入力端子に接続された第2の差動トランジスタ対と、前記第1の差動トランジスタ対の反転出力端と前記第2の差動トランジスタ対の非反転出力端と第1の電源端子とに接続された第1のカレントミラー回路と、前記第1の差動トランジスタ対の非反転出力端と前記第2の差動トランジスタ対の反転出力端と前記第1の電源端子とに接続された第2のカレントミラー回路と、前記第2の差動トランジスタ対の前記非反転出力端と前記第2の差動トランジスタ対の前記反転出力端と第2の電源端子とに接続された負荷回路と、を備えることを特徴とする。

#### 【0017】

また、前記第1のスイッチ手段は、前記第2の差動トランジスタ対の前記非反転出力端と前記第1の電源端子との間に接続され、前記第2のスイッチ手段は、前記第2の差動トランジスタ対の前記反転出力端と前記第1の電源端子との間に接続されたことを特徴とする。

**【0018】**

また、前記第1のスイッチ手段は、前記第2の差動トランジスタ対の前記反転出力端と前記第2の電源端子との間に接続され、前記第2のスイッチ手段は、前記第2の差動トランジスタ対の前記反転出力端と前記第1の電源端子との間に接続されたことを特徴とする。

**【0019】**

また、前記第1のスイッチ手段は、前記第2の差動トランジスタ対の前記反転出力端と前記第2の電源端子との間に接続され、前記第2のスイッチ手段は、前記第2の差動トランジスタ対の前記非反転出力端と前記第2の電源端子との間に接続されたことを特徴とする。

**【0020】**

また、前記第1のスイッチ手段は、前記第2の差動トランジスタ対の前記非反転出力端と前記第1の電源端子との間に接続され、前記第2のスイッチ手段は、前記第2の差動トランジスタ対の前記非反転出力端と前記第2の電源端子との間に接続されたことを特徴とする。

**【0021】**

また、前記第1のスイッチ手段と前記第2のスイッチ手段とは、電界効果型トランジスタであることを特徴とする。

**【0022】**

また、前記第1のスイッチ手段と前記第2のスイッチ手段とは、バイポーラ型トランジスタであることを特徴とする。

**【0023】**

さらに、本発明の表示装置は、画素がマトリクス状に配置された表示パネルを駆動する駆動回路及び走査回路と、画像データが入力されて階調データを出力するとともに前記走査回路に走査制御信号を与える信号処理回路と、前記階調データを保持して出力するデータ保持手段と、前記データ保持手段の出力データを階調電圧に変換して前記駆動回路に与えるデジタルアナログ変換器と、を備える表示装置であって、前記駆動回路として本発明の駆動回路を備えることを特徴とする。

## 【0024】

## 【発明の実施の形態】

次に本発明の実施の形態を図面を参照して説明する。先ず本発明の第1の実施の形態の駆動回路及び表示装置の構成について図1、図2を参照して説明する。図1は、本発明の第1の実施の形態の駆動回路及び表示装置の構成図であり、図2は、本発明の第1の実施の形態の駆動回路の要部構成図である。

## 【0025】

図1に示すように本発明の第1の実施の形態の表示装置は、信号処理回路15と、データ保持手段としてのラッチ16と、ディジタルアナログ変換器17と、駆動回路18と、走査回路27と、マトリクス表示パネル28と、を備える。また、本発明の第1の実施の形態の駆動回路18は、データ保持手段としてのラッチ20と、データ比較器21と、パルス発生手段としてのワンショット回路22と、パルス発生手段としてのワンショット回路23と、を有する制御回路19と、スイッチ手段24と、スイッチ手段25と、演算増幅器26と、を備える。

## 【0026】

なお、マトリクス表示パネル28は、 $m$  ( $m$ は自然数) 行  $n$  ( $n$ は自然数) 列のマトリクス状に配置された表示用の画素31を有し、各画素31は、薄膜トランジスタ29と、薄膜トランジスタ29のソース端に一端が接続され他端にコモン電圧 $V_C$ が与えられた液晶セル30と、を含み、各薄膜トランジスタ29のドレイン端は、1列ずつ共通接続され、各薄膜トランジスタ29のゲート端は、1行ずつ共通接続されている。また、本実施の形態の表示装置は、1行分の  $n$  個の画素31を個別に駆動するために、信号処理回路15から個別の階調データ102が書き込まれる  $n$  個のラッチ16と、 $n$  個のディジタルアナログ変換器17と、 $n$  個の駆動回路18と、を備え、さらに  $m$  行にわたり順次駆動される行を切り替えるために、 $m$  個の走査信号108を出力する走査回路27を備えるのであるが、各画素31に対しては、同様の駆動制御が行われるので、図1は、 $m=1$ 、 $n=1$ と省略して示している。

## 【0027】

信号処理回路15は、1画面分の画像データ101が入力されると、書込み信

号 103 により順次 1 行分の  $n$  個の階調データ 102 を対応する  $n$  個のラッチ 16 に書込み、1 行分の  $n$  個の階調データ 102 を書込む毎に走査制御信号 104 を走査回路 27 に与える。各ラッチ 16 は、階調データ 102 を保持してラッチ出力データ 105 として出力する。各デジタルアナログ変換器 17 は、ラッチ出力データ 105 の値に対応する階調電圧  $V_1$  から  $V_k$  ( $k$  は自然数、例えば 8 ビット 256 階調であれば  $k = 256$ ) までのうちの値を階調電圧 106 として出力する。各駆動回路 18 が備える演算増幅器 26 の非反転入力端に階調電圧 106 が与えられ、演算増幅器 26 の出力端と反転入力端とが接続され、演算増幅器 26 は、ボルテージフォロワとなって駆動電圧 107 を対応する列の薄膜トランジスタ 29 のドレイン端に供給する。走査回路 27 は、 $m$  個の走査信号 108 を対応する行の薄膜トランジスタ 29 のゲート端に与え、走査制御信号 104 が入力される毎に順次駆動される行を切り替える。走査信号 108 により薄膜トランジスタ 29 がオンされると、駆動電圧 107 が液晶セル 30 に印加されて階調表示が行われる。

#### 【0028】

次に駆動回路 18 について説明する。制御回路 19 において、ラッチ 20 は、書込み信号 103 により入力データであるラッチ出力データ 105 を保持してラッチ出力データ 109 として出力する。データ比較器 21 は、ラッチ出力データ 105 の値とラッチ出力データ 109 の値とを比較して、ラッチ出力データ 105 の値がラッチ出力データ 109 の値より大きいときに比較結果信号 110 を出力し、ラッチ出力データ 105 の値がラッチ出力データ 109 の値より小さいときに比較結果信号 111 を出力する。ワンショット回路 22 は、比較結果信号 110 が入力されると所定のパルス幅を有するパルス信号 112 を出力し、ワンショット回路 23 は、比較結果信号 111 が入力されると所定のパルス幅を有するパルス信号 113 を出力する。スイッチ手段 24 は、通常オフ状態であるがパルス信号 112 が入力されている時間のみオンされ、スイッチ手段 25 は、通常オフ状態であるがパルス信号 113 が入力されている時間のみオンされ、スイッチ手段 24 とスイッチ手段 25 とは、演算増幅器 26 に接続されて、スイッチ手段 24 とスイッチ手段 25 とがオンすることによって演算増幅器 26 の立上りのと

きと立下りのときとの駆動能力を増大させる。

#### 【0029】

次に演算増幅器 26 と、スイッチ手段 24 と、スイッチ手段 25 と、について詳細に説明する。図 2 に示すように、演算増幅器 26 は、非反転入力端子 1 と、反転入力端子 2 と、出力端子 3 と、低電位側電源端子 4 と、高電位側電源端子 5 と、入力段回路 13 と、出力段回路 14 と、を備える。

#### 【0030】

入力段回路 13 は、差動トランジスタ対 8 と、カレントミラー回路 9 と、カレントミラー回路 10 と、差動トランジスタ対 11 と、カレントミラー回路 12 と、電流源 I1 と、電流源 I2 と、を備える。入力段回路 13 は、高電位側電源端子 5 の電圧までの入力レンジで動作する差動トランジスタ対 8 と、低電位側電源端子 4 の電圧までの入力レンジで動作する差動トランジスタ対 11 と、を備えることにより、フルレンジ入力特性を有する。

#### 【0031】

差動トランジスタ対 8 は、互いのソース端が接続された N チャネル型 MOS トランジスタ N1 と N チャネル型 MOS トランジスタ N2 とを有し、N チャネル型 MOS トランジスタ N1 のゲート端が差動トランジスタ対 8 の非反転入力端となり、N チャネル型 MOS トランジスタ N2 のゲート端が差動トランジスタ対 8 の反転入力端となり、N チャネル型 MOS トランジスタ N1 のドレイン端が差動トランジスタ対 8 の反転出力端となり、N チャネル型 MOS トランジスタ N2 のドレイン端が差動トランジスタ対 8 の非反転出力端となる。

#### 【0032】

差動トランジスタ対 11 は、差動トランジスタ対 8 と逆導電型であって、互いのソース端が接続された P チャネル型 MOS トランジスタ P5 と P チャネル型 MOS トランジスタ P6 とを有し、P チャネル型 MOS トランジスタ P6 のゲート端が差動トランジスタ対 11 の非反転入力端となり、P チャネル型 MOS トランジスタ P5 のゲート端が差動トランジスタ対 11 の反転入力端となり、P チャネル型 MOS トランジスタ P6 のドレイン端が差動トランジスタ対 11 の反転出力端となり、P チャネル型 MOS トランジスタ P5 のドレイン端が差動トランジスタ

タ対 11 の非反転出力端となる。

#### 【0033】

カレントミラー回路 9 は、ゲート端とドレイン端とが接続された P チャネル型 MOS トランジスタ P1 と、P チャネル型 MOS トランジスタ P1 のゲート端にゲート端が接続され P チャネル型 MOS トランジスタ P1 のソース端にソース端が接続された P チャネル型 MOS トランジスタ P2 と、を有し、P チャネル型 MOS トランジスタ P1 のドレイン端がカレントミラー回路 9 の入力端となり、P チャネル型 MOS トランジスタ P2 のドレイン端がカレントミラー回路 9 の出力端となる。

#### 【0034】

カレントミラー回路 10 は、ゲート端とドレイン端とが接続された P チャネル型 MOS トランジスタ P3 と、P チャネル型 MOS トランジスタ P3 のゲート端にゲート端が接続され P チャネル型 MOS トランジスタ P3 のソース端にソース端が接続された P チャネル型 MOS トランジスタ P4 と、を有し、P チャネル型 MOS トランジスタ P3 のドレイン端がカレントミラー回路 10 の入力端となり、P チャネル型 MOS トランジスタ P4 のドレイン端がカレントミラー回路 10 の出力端となる。

#### 【0035】

負荷回路としてのカレントミラー回路 12 は、ゲート端とドレイン端とが接続された N チャネル型 MOS トランジスタ N3 と、N チャネル型 MOS トランジスタ N3 のゲート端にゲート端が接続され N チャネル型 MOS トランジスタ N3 のソース端にソース端が接続された N チャネル型 MOS トランジスタ N4 と、を有し、N チャネル型 MOS トランジスタ N3 のドレイン端がカレントミラー回路 12 の入力端となり、N チャネル型 MOS トランジスタ N4 のドレイン端がカレントミラー回路 12 の出力端となる。

#### 【0036】

差動トランジスタ対 8 の非反転入力端は、非反転入力端子 1 に接続され、差動トランジスタ対 8 の反転入力端は、反転入力端子 2 に接続される。差動トランジスタ対 11 の非反転入力端は、非反転入力端子 1 に接続され、差動トランジスタ

対 11 の反転入力端は、反転入力端子 2 に接続される。

**【0037】**

カレントミラー回路 9 の P チャネル型 MOS トランジスタ P 1 のソース端は、高電位側電源端子 5 に接続され、カレントミラー回路 9 の入力端は、差動トランジスタ対 8 の反転出力端に接続され、カレントミラー回路 9 の出力端は、差動トランジスタ対 11 の非反転出力端に接続される。カレントミラー回路 10 の P チャネル型 MOS トランジスタ P 3 のソース端は、高電位側電源端子 5 に接続され、カレントミラー回路 10 の入力端は、差動トランジスタ対 8 の非反転出力端に接続され、カレントミラー回路 10 の出力端は、差動トランジスタ対 11 の反転出力端に接続される。

**【0038】**

カレントミラー回路 12 の N チャネル型 MOS トランジスタ N 3 のソース端は、低電位側電源端子 4 に接続され、カレントミラー回路 12 の入力端は、差動トランジスタ対 11 の非反転出力端に接続され、カレントミラー回路 12 の出力端は、差動トランジスタ対 11 の反転出力端に接続される。

**【0039】**

電流源 I 1 の一端は、N チャネル型 MOS トランジスタ N 1 のソース端に接続され、電流源 I 1 の他端は、低電位側電源端子 4 に接続される。電流源 I 2 の一端は、高電位側電源端子 5 に接続され、電流源 I 2 の他端は、P チャネル型 MOS トランジスタ P 5 のソース端に接続される。

**【0040】**

出力段回路 14 は、N チャネル型 MOS トランジスタ N 5 と、N チャネル型 MOS トランジスタ N 6 と、N チャネル型 MOS トランジスタ N 7 と、P チャネル型 MOS トランジスタ P 7 と、P チャネル型 MOS トランジスタ P 8 と、P チャネル型 MOS トランジスタ P 9 と、P チャネル型 MOS トランジスタ P 10 と、電流源 I 3 と、を備える。

**【0041】**

出力段回路 14 の入力端である N チャネル型 MOS トランジスタ N 5 のゲート端は、入力段回路 13 の出力端であるカレントミラー回路 12 の出力端に接続さ



れ、Nチャネル型MOSトランジスタN5のソース端は、低電位側電源端子4に接続され、Nチャネル型MOSトランジスタN5のドレイン端は、Pチャネル型MOSトランジスタP7のドレイン端に接続される。Pチャネル型MOSトランジスタP7のソース端は、高電位側電源端子5に接続され、Pチャネル型MOSトランジスタP7のゲート端は、Pチャネル型MOSトランジスタP7のドレイン端に接続される。Pチャネル型MOSトランジスタP8のソース端は、高電位側電源端子5に接続され、Pチャネル型MOSトランジスタP8のゲート端は、Pチャネル型MOSトランジスタP7のゲート端に接続される。Nチャネル型MOSトランジスタN6のソース端は、低電位側電源端子4に接続され、Nチャネル型MOSトランジスタN6のドレイン端は、Pチャネル型MOSトランジスタP8のドレイン端に接続され、Nチャネル型MOSトランジスタN6のゲート端は、Nチャネル型MOSトランジスタN6のドレイン端に接続される。Nチャネル型MOSトランジスタN7のソース端は、低電位側電源端子4に接続され、Nチャネル型MOSトランジスタN7のゲート端は、Nチャネル型MOSトランジスタN6のゲート端に接続され、Nチャネル型MOSトランジスタN7のドレイン端は、出力端子3に接続される。Pチャネル型MOSトランジスタP9のソース端は、高電位側電源端子5に接続され、Pチャネル型MOSトランジスタP9のゲート端は、Pチャネル型MOSトランジスタP7のゲート端に接続される。電流源I3の一端は、Pチャネル型MOSトランジスタP9のドレイン端に接続され、電流源I3の他端は、低電位側電源端子4に接続される。Pチャネル型MOSトランジスタP10のソース端は、高電位側電源端子5に接続され、Pチャネル型MOSトランジスタP10のゲート端は、Pチャネル型MOSトランジスタP9のドレイン端に接続され、Pチャネル型MOSトランジスタP10のドレイン端は、出力端子3に接続される。出力段回路14は、電圧反転型のシングルエンドプッシュプル回路として動作する。

#### 【0042】

そして、演算増幅器26は、非反転入力端子1に階調電圧106が与えられ、ボルテージフォロワとして動作するために出力端子3が反転入力端子2に接続されて出力端子3から出力される駆動電圧107が反転入力端子2に帰還されるよ

うになっている。

#### 【0043】

さらに、スイッチ手段24としてのPチャネル型MOSトランジスタP11のソース端は、高電位側電源端子5に接続され、Pチャネル型MOSトランジスタP11のドレイン端は、差動トランジスタ対11の非反転出力端に接続され、Pチャネル型MOSトランジスタP11のゲート端は、制御端子6に接続され、制御端子6には、低電位側電源端子4の電圧のパルス信号112が与えられる。スイッチ手段25としてのPチャネル型MOSトランジスタP12のソース端は、高電位側電源端子5に接続され、Pチャネル型MOSトランジスタP12のドレイン端は、差動トランジスタ対11の反転出力端に接続され、Pチャネル型MOSトランジスタP12のゲート端は、制御端子7に接続され、制御端子7には、低電位側電源端子4の電圧のパルス信号113が与えられる。

#### 【0044】

次に動作について図1から図4までを参照して説明する。図3、図4は、本発明の第1の実施の形態の駆動回路の動作説明図である。先ずボルテージフォロワである演算増幅器26の動作を説明する。平衡状態では非反転入力端子1と反転入力端子2とは同電圧となっている。非反転入力端子1にそれまでよりも高い階調電圧106が与えられると、非反転入力端子1と反転入力端子2との間に電位差が生じるため、差動トランジスタ対8及び差動トランジスタ対11のそれぞれの平衡状態が崩れてアンバランスな状態となり、出力端子3から出力される駆動電圧107が上昇してやがて非反転入力端子1の階調電圧106と等しい電圧に収束する。同様に、非反転入力端子1にそれまでよりも低い階調電圧106が与えられると、非反転入力端子1と反転入力端子2との間に電位差が生じるため、差動トランジスタ対8及び差動トランジスタ対11のそれぞれの平衡状態が崩れてアンバランスな状態となり、出力端子3から出力される駆動電圧107が下降してやがて非反転入力端子1の階調電圧106と等しい電圧に収束する。

#### 【0045】

さらに、制御回路19と、スイッチ手段24と、スイッチ手段25と、の動作と合わせて説明する。ラッチ16とラッチ20とは、同じ書込み信号103によ

り書込み動作が行われる 2 段ラッチであるので、ラッチ 1 6 のラッチ出力データ 1 0 5 は、演算増幅器 2 6 が今回出力すべき階調電圧 1 0 6 の階調データであり、ラッチ 2 0 のラッチ出力データ 1 0 9 は、演算増幅器 2 6 が前回（1 行前）出力した階調電圧 1 0 6 の階調データである。したがって、図 3 に示すように、時刻  $t_1$  のとき新たな階調データ 1 0 2 がラッチ 1 6 に書込まれて、演算増幅器 2 6 が今回出力すべき階調電圧 1 0 6 の階調データであるラッチ出力データ 1 0 5 の値が、演算増幅器 2 6 が前回出力した階調電圧 1 0 6 の階調データであるラッチ出力データ 1 0 9 の値よりも大きい即ち階調電圧 1 0 6 が高くなるときには、差動トランジスタ対 8 及び差動トランジスタ対 1 1 のそれぞれの平衡状態が崩れてアンバランスな状態となってカレントミラー回路 1 2 の入力端の電圧が上昇し始めるが、さらにスイッチ手段 2 4 である P チャネル型 MOS トランジスタ P 1 1 がパルス信号 1 1 2 によりオンされてカレントミラー回路 1 2 の入力端の電圧が瞬時にプルアップされるために、カレントミラー回路 1 2 の出力端の電圧が瞬時に下がり、図 4 に示すように、出力端子 3 から出力される駆動電圧 1 0 7 が急激に上昇して平衡状態までの収束時間も短縮されるため、演算増幅器 2 6 の負荷駆動能力も増大され、高速動作が可能になるという効果が得られる。同様に、図 3 に示すように、時刻  $t_2$  のとき新たな階調データ 1 0 2 がラッチ 1 6 に書込まれて、演算増幅器 2 6 が今回出力すべき階調電圧 1 0 6 の階調データであるラッチ出力データ 1 0 5 の値が、演算増幅器 2 6 が前回出力した階調電圧 1 0 6 の階調データであるラッチ出力データ 1 0 9 の値よりも小さい即ち階調電圧 1 0 6 が低くなるときには、差動トランジスタ対 8 及び差動トランジスタ対 1 1 のそれぞれの平衡状態が崩れてアンバランスな状態となってカレントミラー回路 1 2 の出力端の電圧が上昇し始めるが、さらにスイッチ手段 2 5 である P チャネル型 MOS トランジスタ P 1 2 がパルス信号 1 1 3 によりオンされてカレントミラー回路 1 2 の出力端の電圧が瞬時にプルアップされるために、図 4 に示すように、出力端子 3 から出力される駆動電圧 1 0 7 が急激に下降して平衡状態までの収束時間も短縮されるため、演算増幅器 2 6 の負荷駆動能力も増大され、高速動作が可能となるという効果が得られる。

【 0 0 4 6 】

また、スイッチ手段 24 とスイッチ手段 25 とは、同じ階調データ 102 がラッチ 16 に書込まれたときにはオンすることではなく、しかも階調電圧 106 が変化するときには短いパルス幅でどちらか一方がオンするのみであるので、スイッチ手段 24 又はスイッチ手段 25 がオンすることにより、その経路のバイアス電流値が  $\Delta I$  だけ増加したとしても、図 8 に示す従来例のように入力段回路全体のバイアス電流が増大することがないので、従来例より消費電力の増加を抑えて低消費電力化することができるという効果が得られる。

#### 【0047】

以上説明したように、本発明の第 1 の実施の形態の駆動回路及び表示装置によれば、制御回路 19 により、前回より高い電圧を出力する立上り動作を行うのか、或いは、前回より低い電圧を出力する立下り動作を行うのか、を判定し、立上り動作のときはスイッチ手段 24 により、立下り動作のときはスイッチ手段 25 により、演算増幅器 26 の入力段回路 13 の出力端即ち出力段回路 14 の入力端の電圧変化が急峻となるようにしたので、駆動能力が大きく、かつ消費電力が小さい駆動回路、及び、その駆動回路を備える表示装置を実現することができる。

#### 【0048】

次に本発明の第 2 の実施の形態の駆動回路の構成について図 5 を参照して説明する。図 5 は、本発明の第 2 の実施の形態の駆動回路の要部構成図である。図 5 に示す本発明の第 2 の実施の形態の駆動回路の要部の構成と図 2 に示す本発明の第 1 の実施の形態の駆動回路の要部の構成との相違部分は、スイッチ手段 24 を、P チャネル型 MOS トランジスタ P11 から N チャネル型 MOS トランジスタ N8 に変更した部分のみであって他の構成部分は同一であるため、図 5 に示す構成と図 2 に示す構成との同一構成部分には同一符号を付してその説明を省略する。

#### 【0049】

図 5 に示すように、スイッチ手段 24 としての N チャネル型 MOS トランジスタ N8 のソース端は、低電位側電源端子 4 に接続され、N チャネル型 MOS トランジスタ N8 のドレイン端は、差動トランジスタ対 11 の反転出力端に接続され、N チャネル型 MOS トランジスタ N8 のゲート端は、制御端子 6 に接続され、

制御端子 6 には、高電位側電源端子 5 の電圧のパルス信号 112 が与えられる。そして、スイッチ手段 24 としての N チャンネル型 MOS トランジスタ N8 がパルス信号 112 によりオンされると、カレントミラー回路 12 の出力端の電圧が瞬時にプルダウンされるために、出力端子 3 から出力される駆動電圧 107 が急激に上昇する。

#### 【0050】

以上説明したように、本発明の第 2 の実施の形態の駆動回路によれば、本発明の第 1 の実施の形態の駆動回路と同様の効果が得られる。

#### 【0051】

次に本発明の第 3 の実施の形態の駆動回路の構成について図 6 を参照して説明する。図 6 は、本発明の第 3 の実施の形態の駆動回路の要部構成図である。図 6 に示す本発明の第 3 の実施の形態の駆動回路の要部の構成と図 5 に示す本発明の第 2 の実施の形態の駆動回路の要部の構成との相違部分は、スイッチ手段 25 を、P チャンネル型 MOS トランジスタ P12 から N チャンネル型 MOS トランジスタ N9 に変更した部分のみであって他の構成部分は同一であるため、図 6 に示す構成と図 5 に示す構成との同一構成部分には同一符号を付してその説明を省略する。

#### 【0052】

図 6 に示すように、スイッチ手段 25 としての N チャンネル型 MOS トランジスタ N9 のソース端は、低電位側電源端子 4 に接続され、N チャンネル型 MOS トランジスタ N9 のドレイン端は、差動トランジスタ対 11 の非反転出力端に接続され、N チャンネル型 MOS トランジスタ N9 のゲート端は、制御端子 7 に接続され、制御端子 7 には、高電位側電源端子 5 の電圧のパルス信号 113 が与えられる。そして、スイッチ手段 25 としての N チャンネル型 MOS トランジスタ N9 がパルス信号 113 によりオンされると、カレントミラー回路 12 の入力端の電圧が瞬時にプルダウンされるために、カレントミラー回路 12 の出力端の電圧が瞬時に上がり、出力端子 3 から出力される駆動電圧 107 が急激に下降する。

#### 【0053】

以上説明したように、本発明の第 3 の実施の形態の駆動回路によれば、本発明

の第 2 の実施の形態の駆動回路と同様の効果が得られる。

#### 【0054】

次に本発明の第 4 の実施の形態の駆動回路の構成について図 7 を参照して説明する。図 7 は、本発明の第 4 の実施の形態の駆動回路の要部構成図である。図 7 に示す本発明の第 4 の実施の形態の駆動回路の要部の構成と図 6 に示す本発明の第 3 の実施の形態の駆動回路の要部の構成との相違部分は、スイッチ手段 24 を、N チャネル型 MOS トランジスタ N8 から P チャネル型 MOS トランジスタ P11 に変更した部分のみであって他の構成部分は同一であるため、図 7 に示す構成と図 6 に示す構成との同一構成部分には同一符号を付してその説明を省略する。

#### 【0055】

図 7 に示すように、スイッチ手段 24 としての P チャネル型 MOS トランジスタ P11 のソース端は、高電位側電源端子 5 に接続され、P チャネル型 MOS トランジスタ P11 のドレイン端は、差動トランジスタ対 11 の非反転出力端に接続され、P チャネル型 MOS トランジスタ P11 のゲート端は、制御端子 6 に接続され、制御端子 6 には、低電位側電源端子 4 の電圧のパルス信号 112 が与えられる。そして、スイッチ手段 24 である P チャネル型 MOS トランジスタ P11 がパルス信号 112 によりオンされてカレントミラー回路 12 の入力端の電圧が瞬時にプルアップされるために、カレントミラー回路 12 の出力端の電圧が瞬時に下がり、出力端子 3 から出力される駆動電圧 107 が急激に上昇する。

#### 【0056】

以上説明したように、本発明の第 4 の実施の形態の駆動回路によれば、本発明の第 3 の実施の形態の駆動回路と同様の効果が得られる。

#### 【0057】

なお、本発明の第 1 から第 4 までの実施の形態の駆動回路が備えるスイッチ手段 24 及びスイッチ手段 25 を電界効果型トランジスタにより構成したが、これらをバイポーラ型トランジスタに変更することができる。

#### 【0058】

また、本発明の第 1 から第 4 までの実施の形態の駆動回路が備える演算増幅器

26の構成を、各トランジスタの導電型と電源電圧の高低とを逆にした構成に変形することができ、同様の効果が得られることは、明らかである。

#### 【0059】

また、本発明の第1から第4までの実施の形態の駆動回路が備える演算増幅器26の出力段回路14は、一例に過ぎず、シングルエンドプッシュプル回路のバイアス構成は、様々な変形が可能である。

#### 【0060】

さらに、本発明の第1から第4までの実施の形態の駆動回路が備える演算増幅器26を電界効果型トランジスタにより構成したが、バイポーラ型トランジスタによる構成に変更することができる。

#### 【0061】

#### 【発明の効果】

本発明による効果は、駆動能力が大きく、かつ消費電力が小さい駆動回路、及び、その駆動回路を備える表示装置を実現することができることである。

#### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施の形態の駆動回路及び表示装置の構成図である。

#### 【図2】

本発明の第1の実施の形態の駆動回路の要部構成図である。

#### 【図3】

本発明の第1の実施の形態の駆動回路の動作説明図である。

#### 【図4】

本発明の第1の実施の形態の駆動回路の動作説明図である。

#### 【図5】

本発明の第2の実施の形態の駆動回路の要部構成図である。

#### 【図6】

本発明の第3の実施の形態の駆動回路の要部構成図である。

#### 【図7】

本発明の第4の実施の形態の駆動回路の要部構成図である。

## 【図 8】

従来例の演算増幅器の要部構成図である。

## 【符号の説明】

- 1 非反転入力端子
- 2 反転入力端子
- 3 出力端子
- 4 低電位側電源端子
- 5 高電位側電源端子
- 6 制御端子
- 7 制御端子
- 8 差動トランジスタ対
- 9 カレントミラー回路
- 1 0 カレントミラー回路
- 1 1 差動トランジスタ対
- 1 2 カレントミラー回路
- 1 3 入力段回路
- 1 4 出力段回路
- 1 5 信号処理回路
- 1 6 ラッチ
- 1 7 デジタルアナログ変換器
- 1 8 駆動回路
- 1 9 制御回路
- 2 0 ラッチ
- 2 1 データ比較器
- 2 2 ワンショット回路
- 2 3 ワンショット回路
- 2 4 スイッチ手段
- 2 5 スイッチ手段
- 2 6 演算増幅器

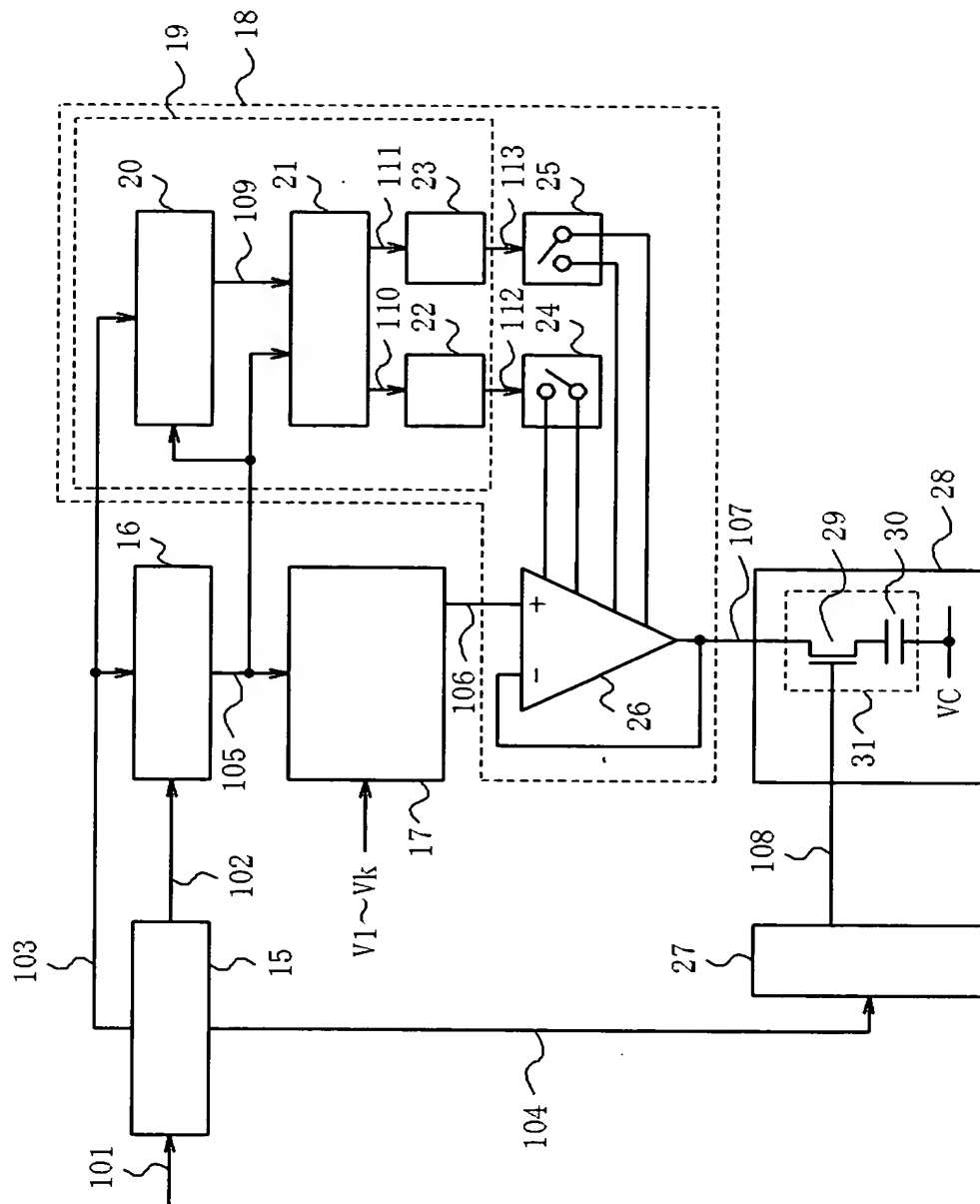


- 2 7 走査回路
- 2 8 マトリクス表示パネル
- 2 9 薄膜トランジスタ
- 3 0 液晶セル
- 3 1 画素
- 1 0 1 画像データ
- 1 0 2 階調データ
- 1 0 3 書込み信号
- 1 0 4 走査制御信号
- 1 0 5 ラッチ出力データ
- 1 0 6 階調電圧
- 1 0 7 駆動電圧
- 1 0 8 走査信号
- 1 0 9 ラッチ出力データ
- 1 1 0 比較結果信号
- 1 1 1 比較結果信号
- 1 1 2 パルス信号
- 1 1 3 パルス信号
- I 1 電流源
- I 2 電流源
- I 3 電流源
- N 1 Nチャネル型MOS トランジスタ
- N 2 Nチャネル型MOS トランジスタ
- N 3 Nチャネル型MOS トランジスタ
- N 4 Nチャネル型MOS トランジスタ
- N 5 Nチャネル型MOS トランジスタ
- N 6 Nチャネル型MOS トランジスタ
- N 7 Nチャネル型MOS トランジスタ
- N 8 Nチャネル型MOS トランジスタ

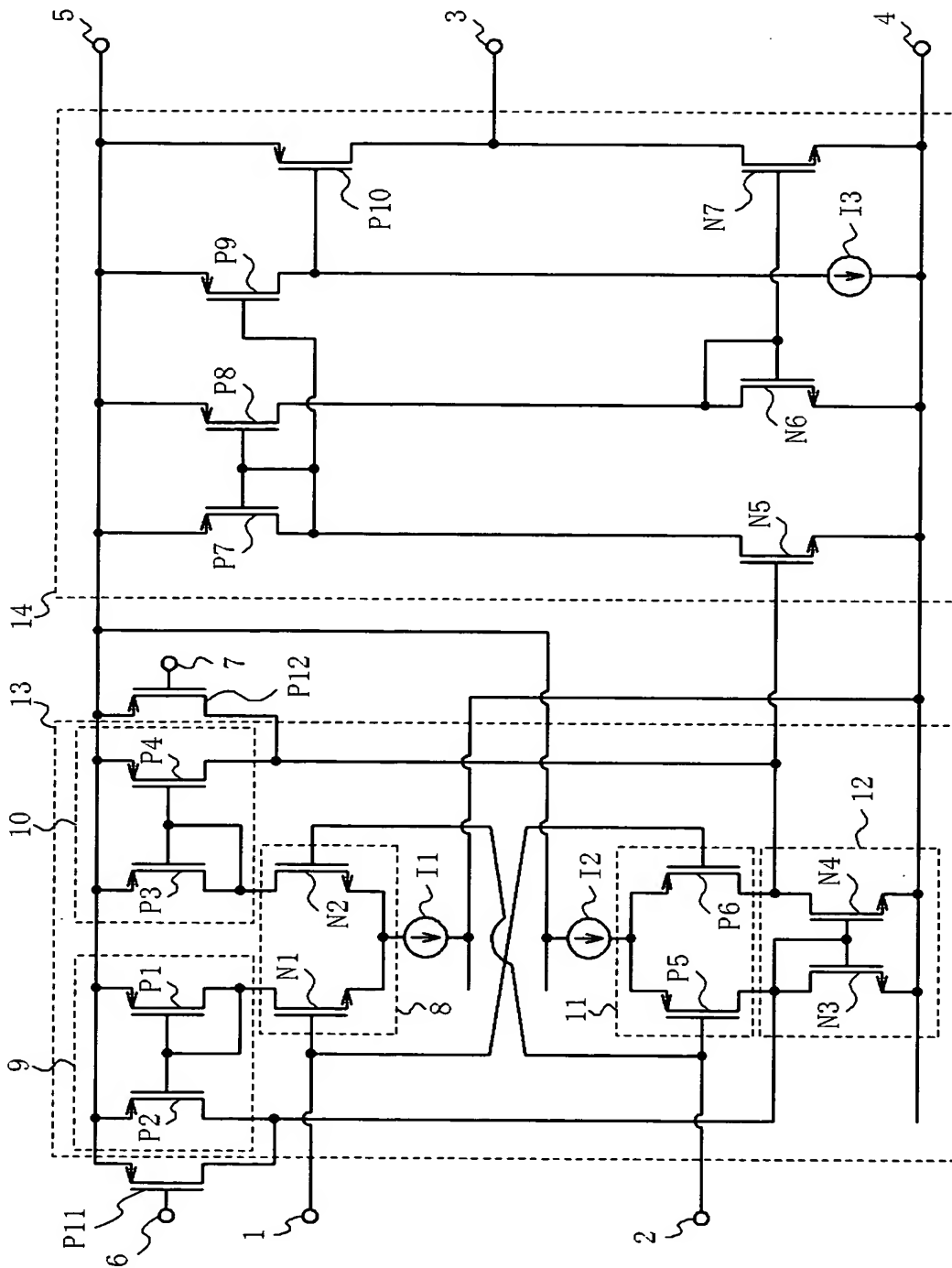
N 9      Nチャネル型MOS トランジスタ  
N 1 0      Nチャネル型MOS トランジスタ  
P 1      Pチャネル型MOS トランジスタ  
P 2      Pチャネル型MOS トランジスタ  
P 3      Pチャネル型MOS トランジスタ  
P 4      Pチャネル型MOS トランジスタ  
P 5      Pチャネル型MOS トランジスタ  
P 6      Pチャネル型MOS トランジスタ  
P 7      Pチャネル型MOS トランジスタ  
P 8      Pチャネル型MOS トランジスタ  
P 9      Pチャネル型MOS トランジスタ  
P 1 0      Pチャネル型MOS トランジスタ  
P 1 1      Pチャネル型MOS トランジスタ  
P 1 2      Pチャネル型MOS トランジスタ  
P 1 3      Pチャネル型MOS トランジスタ

【書類名】 図面

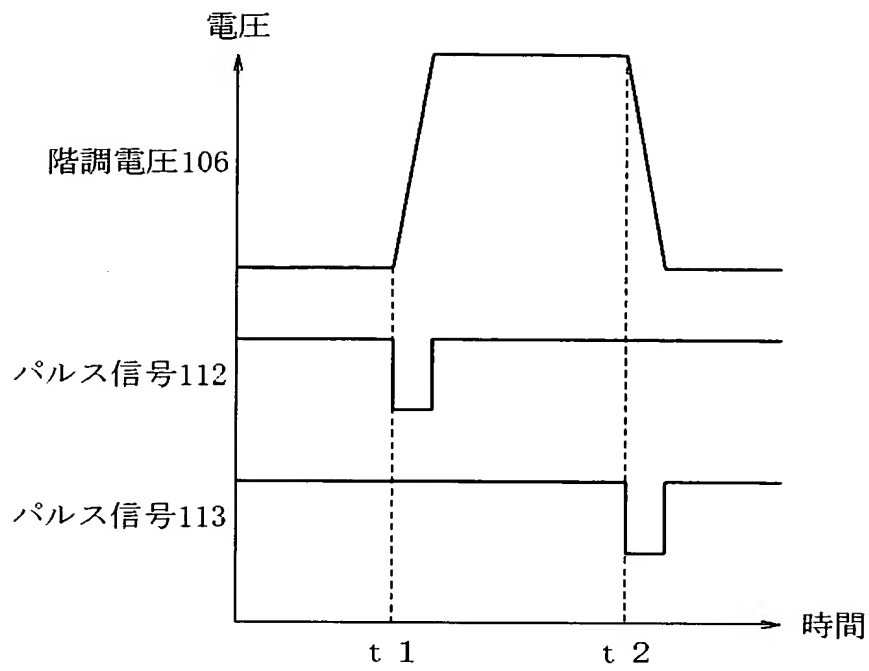
【図 1】



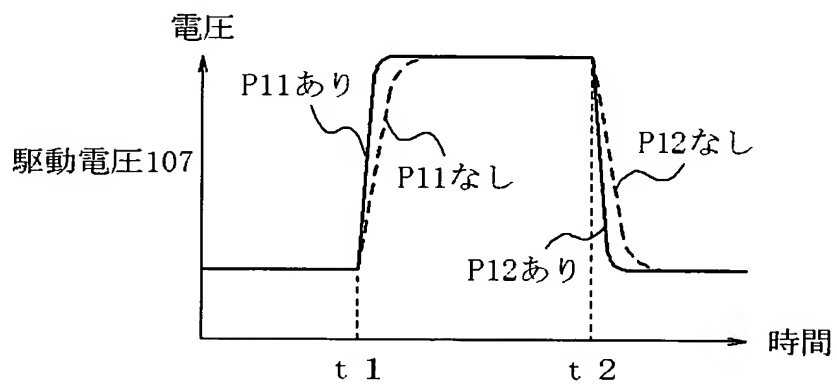
【図 2】



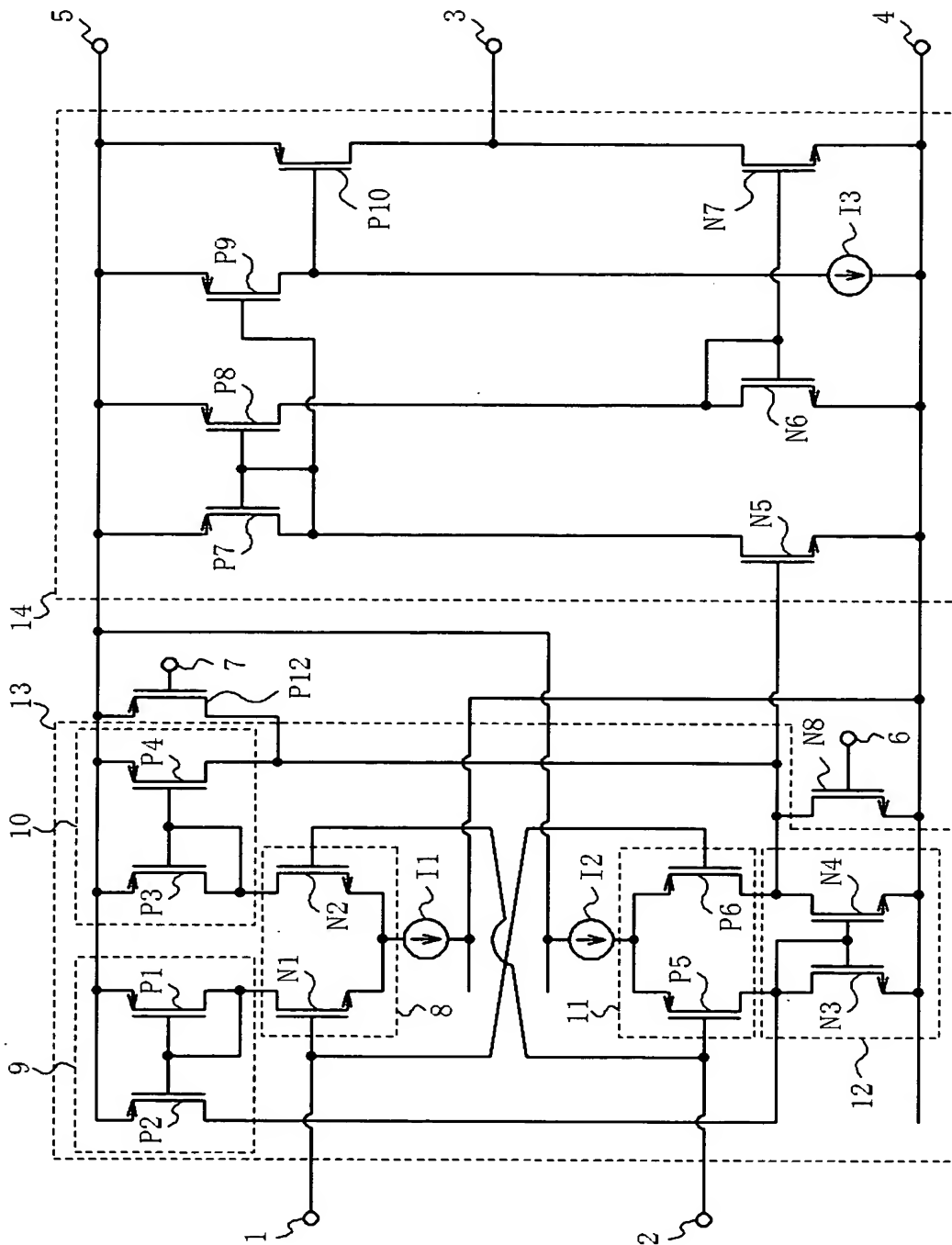
【図 3】



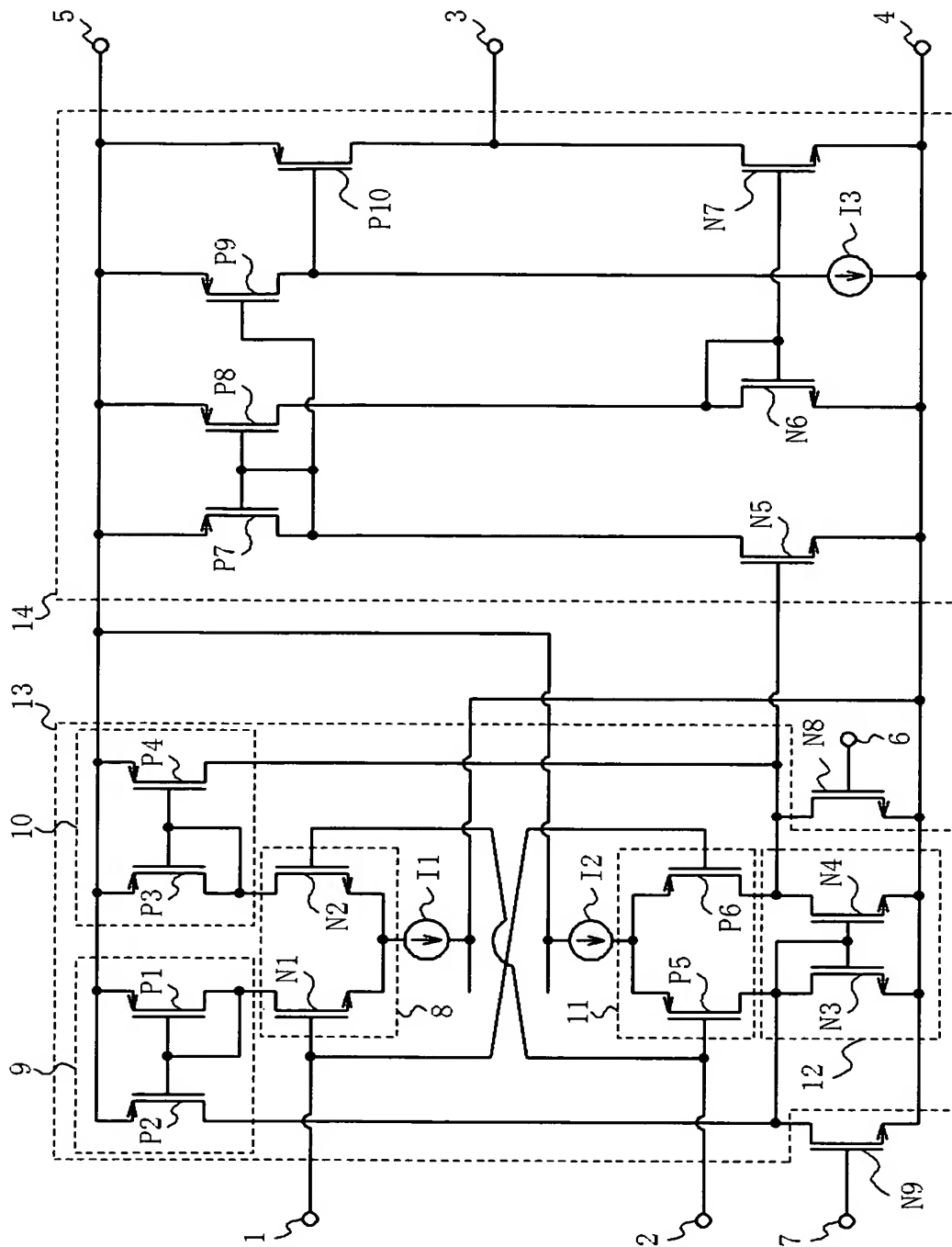
【図 4】



【図 5】



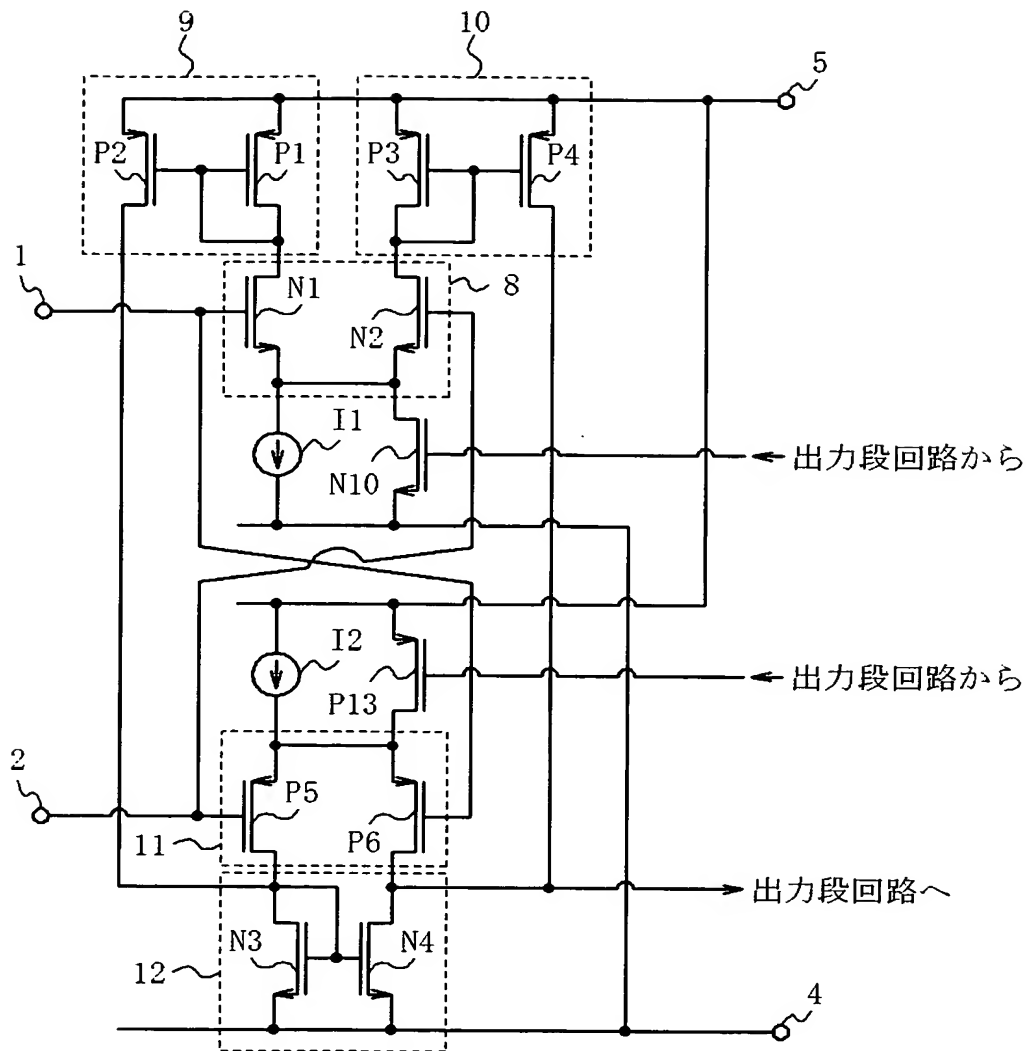
【図 6】







【図 8】



【書類名】 要約書

【要約】

【課題】 駆動能力が大きく、かつ消費電力が小さい駆動回路、及び、その駆動回路を備える表示装置を提供すること。

【解決手段】 表示装置は、信号処理回路 1 5 と、ラッチ 1 6 と、デジタルアナログ変換器 1 7 と、駆動回路 1 8 と、走査回路 2 7 と、マトリクス表示パネル 2 8 と、を備え、駆動回路 1 8 は、ラッチ 2 0 と、データ比較器 2 1 と、ワンショット回路 2 2 と、ワンショット回路 2 3 と、を有する制御回路 1 9 と、スイッチ手段 2 4 と、スイッチ手段 2 5 と、演算増幅器 2 6 と、を備える。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 1 2 8 1 0
受付番号	5 0 3 0 0 6 3 8 5 3 1
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 4 月 1 8 日

< 認定情報・付加情報 >

【提出日】	平成15年 4月17日
-------	-------------

次頁無

特願 2 0 0 3 - 1 1 2 8 1 0

出 願 人 履 歴 情 報

識別番号 [ 3 9 0 0 0 1 9 1 5 ]

1. 変更年月日	2 0 0 3 年 2 月 2 1 日
[変更理由]	住所変更
住 所	山形県鶴岡市宝田一丁目 1 1 番 7 3 号
氏 名	山形日本電気株式会社